

# Применение программируемых реконфигурируемых схем при решении проблем технологий обработки больших графов



# Что требуется от аппаратуры и компьютеров для задач обработки графов?

.... биология, информатика, аналитика, web поиск, динамические системы, методы обработки разреженных матриц ....

## Проблемы традиционных архитектур при решении задач с большими графами – низкая эффективность

- Работа с памятью при нерегулярных обращениях к ней в физически распределенные блоки памяти
- Необходимы механизмы компенсации задержек к памяти и сети (массовая мультитредовость)
- Необходимость частой синхронизации огромного количества параллельных процессов, мелкозернистый параллелизм
- Низкая интенсивность вычислений
- Необходимость балансировки нагрузки

# Шаги к эффективным вычислителям

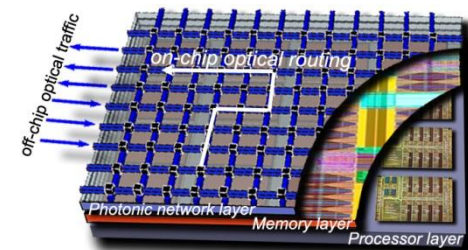
Профилирование и тестирование, моделирование и эмуляция, реализация и проверка



**Профилирование и тестирование на традиционных вычислителях**



**Построение имитаторов и эмуляторов вычислителей, основанных на новых принципах**



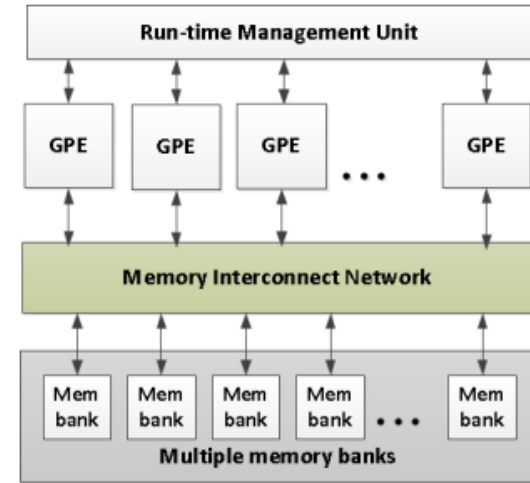
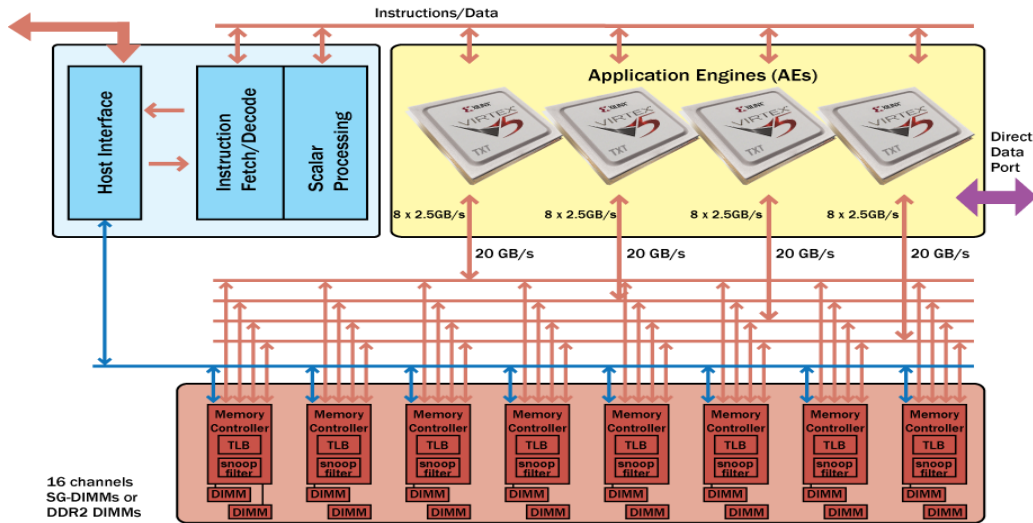
**Реализация вычислителей нового поколения**

# Потенциальные возможности ПЛИС

Тип чипа	Intel SB-EP	Xilinx Kintex -7	Xilinx Kintex-U*	Cray XMT
Чип	Xeon E5-2670	Xilinx XC7K480T	Xilinx XCKU115	Thread Storm
Тактовая частота	2 600 МГц	450 МГц	525 МГц	500 МГц
Скорость памяти на чипе	1 Тбит/с	~30 Тбит/с	>70 Тбит/с	30* Тбит/с
Скорость внешней памяти	50 Гбайт/с	до 100 Гбайт/с	> 100 Гбайт/с	128* Гбайт/с
Количество портов памяти	1	>8	>8	1-4*
Мощность	~220 Вт	~60 Вт		60 Вт

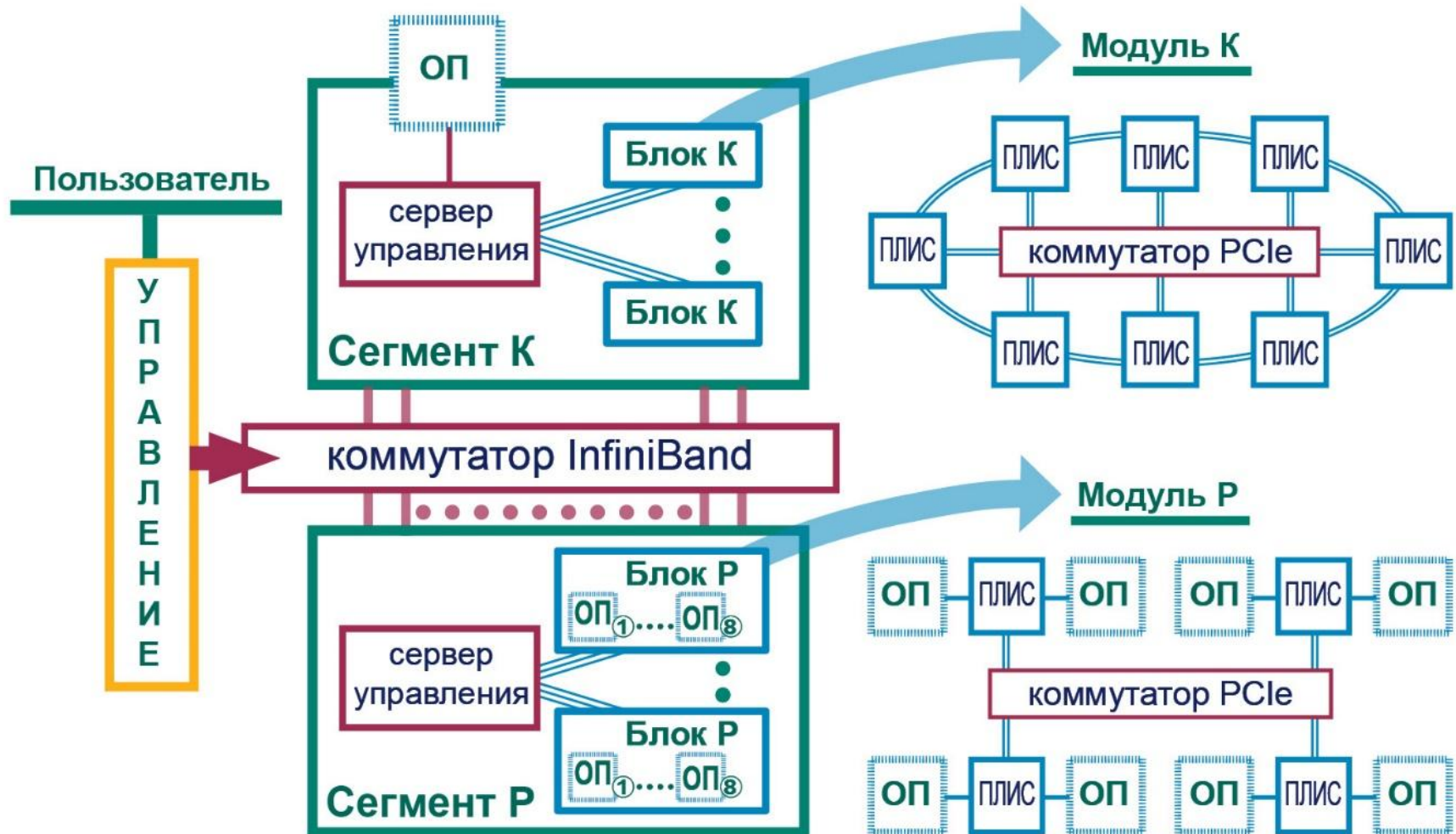
\* Оценка авторов

# Что моделировать ?



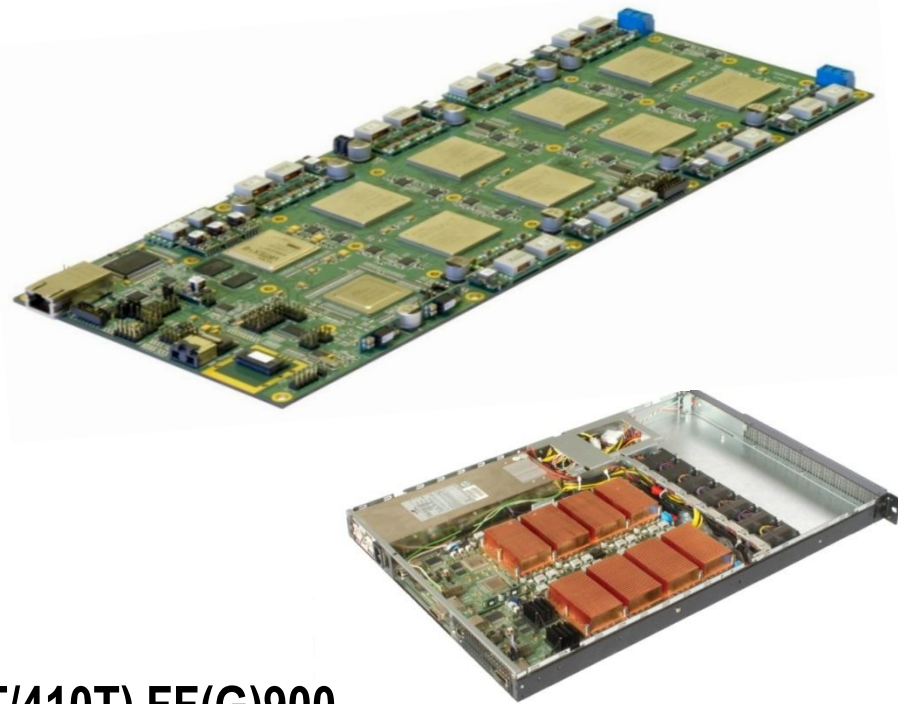
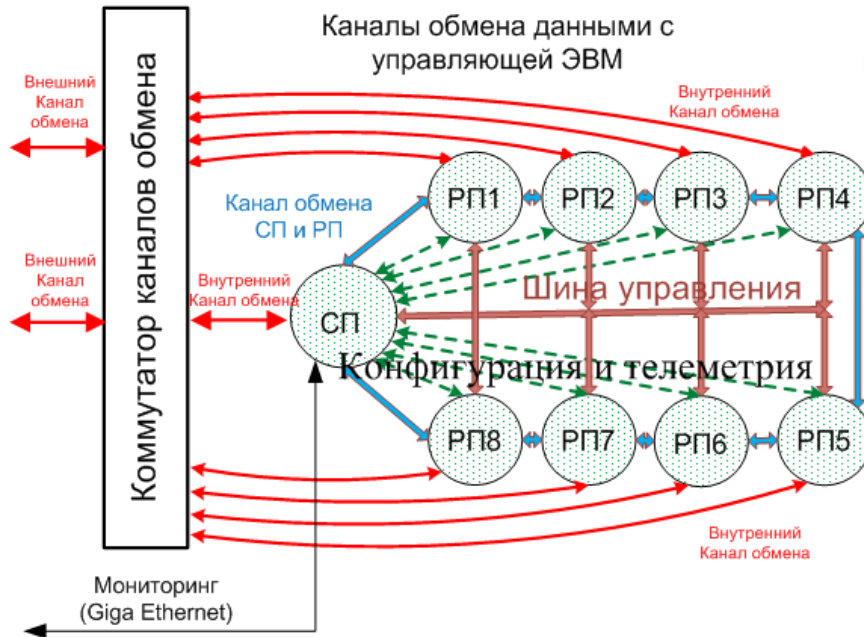
Graph-500 (2014 год)	GTEPS	Cost	Power	GTEPS/kW	Scale
107. Dingus (Convey HC-1ex /4 FPGA)	1,7	~100k\$	0,8 kW	2,1	28
104. URAN (Cluster/ 16 nodes, 32 CPU Xeon)	1,8	~120 k\$	3 kW	<b>0,6</b>	<b>29</b>
60. fox6 (Convey MX-100/5 FPGA)	14,6		1 kW	<b>14,6</b>	29
59. Todi (Cray Inc/ Xk7, Gemini, 272 nodes)	15,6		8 kW	1,9	29
58. kitty6 (Server/ Xeon E5-2650, GeForce TITAN)	17	~10 k\$	0,3 kW	<b>56,7</b>	<b>25</b>

# Структура моделирующей гибридно-гетерогенной вычислительной системы





# Ускоритель сегмента К: KB8-K7-410-01 «Топаз-2» на базе Xilinx® Kintex-7



**Восемь рабочих ПЛИС:** Xilinx Kintex-7 (325T/410T) FF(G)900.

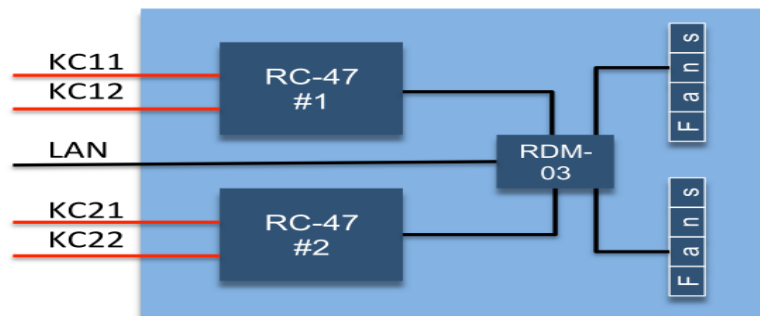
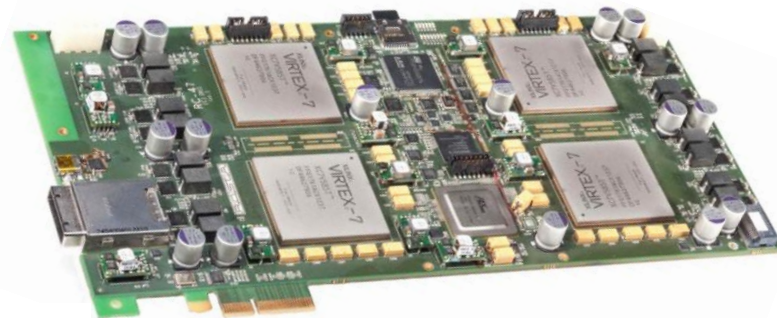
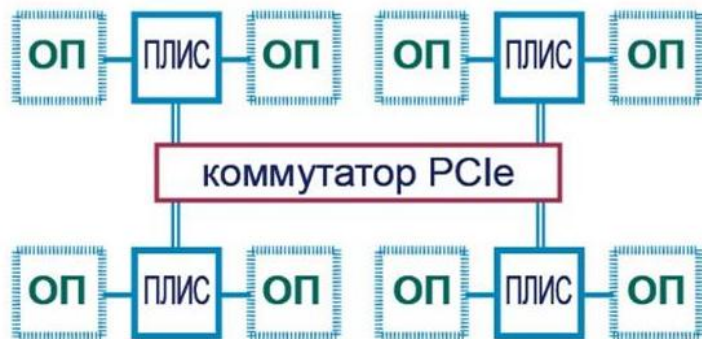
**Сеть PCI Express:** Чип PEX8648 коммутатора PCI Express® Gen1 x4 или Gen2 x4.

**Память :** 1Gb DDR3 SDRAM @ DDR-800.

**Сеть Ethernet:** Fast Ethernet Base-T.

**Размер платы:** 375x150mm.

# Ускоритель сегмента Р: RC-47 на базе Xilinx® Virtex-7



**Четыре рабочих ПЛИС:** Xilinx Virtex-7 (XC7V2000T) FF(G) 1761

**Сеть PCI Express:** Чип PEX8732 коммутатора PCI Express Gen3 x4 (8 портов)

**Внешние разъемы:** PCIe iPass 1 и iPass 2.

**Память:** Внешняя память RLDRAM объемом 2 Гбайта

**Размер платы:** 280x150 mm.



# Структура программного обеспечения

- Драйвер для работы с устройствами в ПЛИС
- Коммуникационная библиотека
- Программы и утилиты конфигурирования, управления и диагностики ПЛИС
- Примеры и тесты
- Инструментальные средства разработки сторонних производителей



# Драйвер для работы с устройствами в ПЛИС

- верификация PCI Express интерфейса с ПЛИС
- исправление конфликтов PCI Express с BIOS и операционной системой
- регистрация ПЛИС-устройств
- выделение и освобождение участков памяти в PCI-области для каждой ПЛИС и отображение областей памяти PCI-устройств в область виртуальных адресов хост-программы
- поддержка «горячего» отключения/подключения без перезагрузки драйвера
- отработка запросов коммуникационной библиотеки из программы пользователя
- мониторинг температуры ПЛИС

# Коммуникационная библиотека

- Поддержка программного интерфейса ввода/вывода между программой пользователя и элементами памяти ПЛИС (регистры, BRAM, FIFO, внешняя память) в режимах пословной и блочной передачи данных
- Поддержка сквозной логической нумерации ПЛИС, независимой от их аппаратного расположения
- Управление завершением и освобождением ресурсов ПЛИС
- Поддержка программного интерфейса ввода/вывода для функций интерфейса Catapult C

# Утилиты управления, диагностики и загрузки

- Загрузка в ПЛИС проектов с проверкой контрольной суммы
- Частичная модификация проектов с сохранением работоспособности интерфейса ввода/вывода
- Идентификация оборудования
- Формирование статуса о состоянии PCI Express интерфейса ПЛИС
- Диагностика



# Инструментальные средства разработки ПО для ПЛИС (синтез схем)

**HDL Designer Series** предоставляет набор инструментов для формирования HDL-описания. Имеется поддержка описания блоков на языке C (при помощи программы Catapult C)

**Catapult C** выполняет трансляцию описания на адаптированном языке программирования C в HDL-описание, дальнейший синтез которого может быть выполнен в САПР Precision Synthesis

**Precision Synthesis** - средство синтеза, позволяющее создавать HDL-описания на языках VHDL, Verilog, EDIF

**Synplify** компании Synopsys - средство логического синтеза. Пакет Synplify Pro выполняет оптимизацию исходного языкового описания и генерирует низкоуровневое описание (например, в формате EDIF).



# Инструментальные средства разработки ПО для ПЛИС (САПР и моделирование)

**Пакет ISE Foundation** (Integrated software environment) - система сквозного проектирования. Реализуется полный цикл разработки цифровых устройств на базе ПЛИС

**Пакет Vivado** выпускается с 2012 г. В состав Vivado входят программные модули, функционально аналогичные программным модулям ISE и Vivado HLS, которое позволяет транслировать описания на языках C, C++, System C в HDL-описание.

**ModelSim SE (Questa)** – моделирование аппаратуры для высокоуровневого и низкоуровневого (уровень RTL или «вентильный» уровень). Modelsim SE поддерживает языки VHDL, Verilog и SystemC.

# Некоторые задачи для моделирующей гибридно-гетерогенной вычислительной системы (МГВС)

- Эмуляция работы множества мультитредовых процессоров с общей памятью или секционированной памятью
- Эмуляция нетрадиционных гибридных вычислительных структур, сочетающих мультитредовые ядра для доступа к памяти и ядра для выполнения интенсивных вычислений
- Эмуляция на традиционных процессорах множества асинхронных потоков за счет использования техники корутин (*coroutine*)
- Эмуляция многоярусной иерархии вычислений и памяти
- Отработка на эмуляторах мелкозернистых механизмов синхронизации
- Исследование инструментария для программирования сложных вычислительных структур
- Разработка новых и адаптация существующих методов и алгоритмов решения задач на суперкомпьютерах
- Эмуляция нетрадиционных способов вычислений - клеточные автоматы и символьная обработка

# Вопросы ?

